

PAT-NO: JP02003289144A

DOCUMENT-IDENTIFIER: **JP 2003289144 A**

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURING
METHOD THEREFOR

PUBN-DATE: October 10, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
MATSUMORI, HISAKAZU	N/A
SHIBATA, HIDENORI	N/A
FUJII, OSAMU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2002090391

APPL-DATE: March 28, 2002

INT-CL (IPC): H01L029/786, H01L021/76 , H01L021/762

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device which suppresses decrease in the drive current, due to stresses by alleviating the stress at element isolation and formation time, and to provide a method for manufacturing the same.

SOLUTION: A BOX layer 101 made, for example, of a silicon oxide film is laminated on a support silicon substance 100. Further, a first **silicon nitride film** 102 (**stress relaxation** layer) is formed on an element region of the layer 101. An SOI layer 104 made, for example, of a single-crystal silicon is formed on the film 102. An STI 108 is formed on the element isolated region on the

layer 101. The STI 108 is formed of a silicon oxide film, thereby electrically isolating the respective elements. The film 102 is formed of a layer lower than the layer 104, and in the same pattern as the layer 104 to relax the stress existing inside the layer 104.

COPYRIGHT: (C)2004,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-289144

(P2003-289144A)

(43)公開日 平成15年10月10日(2003.10.10)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 6 C 5 F 0 3 2
21/76		21/76	D 5 F 1 1 0
21/762			L

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2002-90391(P2002-90391)

(22)出願日 平成14年3月28日(2002.3.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 松森 久和

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 柴田 英紀

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100083161

弁理士 外川 英明

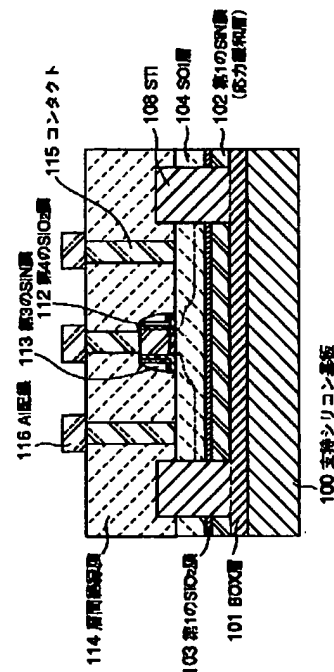
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 素子分離形成時の応力を緩和し、応力による駆動電流の低下を抑制する半導体装置およびその製造方法を提供する。

【解決手段】 支持シリコン基板100上に、例えばシリコン酸化膜からなるBOX層101が積層されている。さらに、BOX層101の素子領域上に、第1のシリコン窒化膜102(応力緩和層)が形成されている。そして、第1のシリコン窒化膜102上に、例えば単結晶シリコンからなるSOI層104が形成されている。また、BOX層101上の素子分離領域には、STI108が形成されている。STI108はシリコン酸化膜で形成されており、これにより各素子を電氣的に離間している。SOI層104よりも下層、且つ、SOI層104と同一パターンで、第1のシリコン窒化膜102を形成することにより、SOI層104に内在する応力を緩和している。



【特許請求の範囲】

【請求項1】支持シリコン基板上に形成されたシリコン酸化膜からなるBOX層と、
前記BOX層の素子領域上に形成された応力緩和層と、
前記応力緩和層上に形成された単結晶シリコンからなるSOI層と、

前記SOI層表面に形成されたゲート領域となる一導電型のチャネル拡散層と、

前記SOI層表面に互いに離間して形成された逆導電型のソースまたはドレイン拡散層と、

前記BOX層の素子分離領域上に形成された素子分離と、

前記SOI層のゲート領域上にゲート絶縁膜を介して形成された一導電型のゲート電極と、

前記ゲート電極の側面に形成されたサイドウォールとを具備することを特徴とする半導体装置。

【請求項2】前記SOI層は、シリコン酸化膜を介して前記応力緩和層上に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記応力緩和層は、シリコン窒化膜からなることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】支持シリコン基板上にシリコン酸化膜を積層し、BOX層を形成する工程と、

前記BOX層上に第1のシリコン窒化膜を積層し、応力緩和層を形成する工程と、

前記応力緩和層上に単結晶シリコンを積層し、SOI層を形成する工程と、

素子分離領域上の前記応力緩和層および前記SOI層をエッチング除去しトレンチを形成し、前記トレンチ内をシリコン酸化膜で埋め込み、素子分離を形成する工程と、

前記SOI層内に一導電型の不純物をイオン注入し、ウェル・チャネル拡散層を形成する工程と、

前記SOI層上のゲート領域にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記SOI層内に逆導電型の不純物をイオン注入し、ソースおよびドレイン拡散層を形成する工程と、

前記ゲート電極の側面にサイドウォールを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】前記SOI層は、

前記応力緩和層上にシリコン酸化膜を積層する工程の後、形成されることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特にSOIウェハを用いた半導体装置およびその製造方法に関するもので

ある。

【0002】

【従来の技術】図11は、従来におけるSOI (Silicon On Insulator) ウェハを用いた半導体装置の断面図である。従来のSOIウェハは、支持シリコン基板200上にシリコン酸化膜からなるBOX層201が形成されている。さらにBOX層201上に、単結晶シリコンからなるSOI層202が形成され、SOIウェハを形成している。

10 【0003】SOI層202上には素子が形成されている。また、各素子を電氣的に分離するための素子分離領域に、STI203が形成されている。STI203内には、シリコン酸化膜が埋設されている。

【0004】そして、素子領域のSOI層202中に、一導電型の不純物がインプラされ、ウェル／チャネル拡散層が形成されている。また、SOI層202上に、シリコン酸化膜からなるゲート絶縁膜205が形成され、ゲート絶縁膜205上に多結晶シリコンからなるゲート電極206が形成されている。さらに、ゲート電極206の側壁には、シリコン酸化膜およびシリコン窒化膜からなるサイドウォール207が形成されている。また、図示されていないが、ゲート電極206上およびソース・ドレイン領域のSOI層202上にはC_oサリサイドが形成されている。

【0005】また、素子領域および素子分離領域上にシリコン酸化膜からなる層間絶縁膜208が堆積されている。素子領域のゲート領域およびソース・ドレイン領域上の層間絶縁膜208にコンタクトホールが形成され、バリアメタルとタングステンでコンタクトホールが埋め込まれ、コンタクト209が形成されている。そして、コンタクト209上には、A1配線210が形成されている。

【0006】

【発明が解決しようとする課題】A1配線210に外部から電圧を加えることによって、A1配線210からコンタクト209、そしてゲート電極206に電界が加わり、チャネル部分に反転層が出来ることによって、MOSFETの素子として機能する。

【0007】しかしながら、このような従来の半導体装置では、素子分離領域形成時に素子分離領域に挟まれたSOI層202に高い圧縮応力がかかる。この高い圧縮応力値は、MOSTランジスタにおいて、駆動電流を低下させてしまう原因となっている。

【0008】本発明の目的は、素子分離形成時の応力を緩和し、応力による駆動電流の低下を抑制する半導体装置およびその製造方法を提供することである。

【0009】

【課題を解決するための手段】この発明による半導体装置は、支持シリコン基板上に形成されたシリコン酸化膜からなるBOX層と、前記BOX層の素子領域上に形成

された応力緩和層と、前記応力緩和層上に形成された単結晶シリコンからなるSOI層と、前記SOI層表面に形成されたゲート領域となる一導電型のチャネル拡散層と、前記SOI層表面に互いに離間して形成された逆導電型のソースまたはドレイン拡散層と、前記BOX層の素子分離領域上に形成された素子分離と、前記SOI層のゲート領域上にゲート絶縁膜を介して形成された一導電型のゲート電極と、前記ゲート電極の側面に形成されたサイドウォールとを具備することを特徴としている。

【0010】また、この発明による半導体装置の製造方法は、支持シリコン基板上にシリコン酸化膜を積層し、BOX層を形成する工程と、前記BOX層上に第1のシリコン窒化膜を積層し、応力緩和層を形成する工程と、前記応力緩和層上に単結晶シリコンを積層し、SOI層を形成する工程と、素子分離領域上の前記応力緩和層および前記SOI層をエッチング除去してトレンチを形成し、前記トレンチ内をシリコン酸化膜で埋め込み、素子分離を形成する工程と、前記SOI層内に一導電型の不純物をイオン注入し、ウェル・チャネル拡散層を形成する工程と、前記SOI層上のゲート領域にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記SOI層内に逆導電型の不純物をイオン注入し、ソースおよびドレイン拡散層を形成する工程と、前記ゲート電極の側面にサイドウォールを形成する工程とを具備することを特徴としている。

【0011】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について説明する。LDD構造を例に説明する。

【0012】図1は、本実施の形態における半導体装置の断面図である。支持シリコン基板100上に、例えばシリコン酸化膜からなるBOX層101が厚さ50～400nm程度積層されている。さらに、BOX層101の素子領域上に、厚さ150nm程度の第1のシリコン窒化膜102（応力緩和層）が形成されている。そして、第1のシリコン窒化膜102上に、厚さ2nm程度の第1のシリコン酸化膜103を介して、厚さ100～200nm程度の例えば単結晶シリコンからなるSOI層104が形成されている。

【0013】また、BOX層101上の素子分離領域には、STI（Shallow Trench Isolation）108が形成されている。STI 108はシリコン酸化膜で形成されており、これにより各素子を電氣的に離間している。

【0014】素子領域のSOI層104表面には互いに離間して、ソースまたはドレイン領域である拡散層が形成されている。一方、ソース・ドレイン拡散層間のSOI層104表面のゲート領域には、チャネル拡散層が形成されている。

【0015】そして、これら拡散層が形成されたSOI

層104のゲート領域上には、厚さ2nm程度の例えばシリコン酸化膜からなるゲート絶縁膜109が形成されている。さらに、ゲート絶縁膜109上には、厚さ175nm程度の例えば多結晶シリコンからなるゲート電極110が形成されている。また、ゲート電極110側壁には、シリコン酸化膜およびシリコン窒化膜の層からなるサイドウォールが形成されている。尚、図示されていないが、ゲート電極110上およびソース・ドレイン領域のSOI層104上にはC₆₀サリサイドが形成されている。

【0016】また、素子領域および素子分離領域上に、例えばシリコン酸化膜からなる層間絶縁膜114が堆積されている。素子領域のゲート領域およびソース・ドレイン領域上の層間絶縁膜114にコンタクトホールが形成され、バリアメタルとタングステンでコンタクトホール内が埋め込まれ、コンタクト115が形成されている。そして、コンタクト115上にAl配線116が形成され、素子と電氣的に接続されている。

【0017】次に、本実施の形態における半導体装置の製造方法について、図1～図9を用いて説明する。支持シリコン基板100上に、厚さ50～400nm程度の例えばシリコン酸化膜からなるBOX層101を形成する。また、BOX層101上に、厚さ150nm程度の第1のシリコン窒化膜102（応力緩和層）を積層する。さらに、第1のシリコン窒化膜102上に、厚さ2nm程度の第1のシリコン酸化膜103および厚さ200nm程度の例えば単結晶シリコンからなるSOI層104を順に積層する。

【0018】さらに、図2に示すように、SOI層104上に順に、厚さ5nm程度の第2のシリコン酸化膜105、厚さ150nm程度の第2のシリコン窒化膜106、マスク材107を積層する。

【0019】続いて、マスク材107上にレジスト（図示せず）を塗布し、光学的パターニングを行う。レジストをマスクとして、マスク材107、第2のシリコン窒化膜106、第2のシリコン酸化膜105を順にエッチングし、除去する。そして、レジストを除去する。さらに、マスク材107をマスクとして、SOI層104、第1のシリコン酸化膜103、第1のシリコン窒化膜102を順にエッチングし、STIトレンチ108を形成する。そして、マスク材107を除去する（図3）。

【0020】次に、例えばシリコン酸化膜をSOIウェハ全面に堆積させ、STIトレンチ108内を埋める。そして、堆積させたシリコン酸化膜を第2のシリコン窒化膜106上の高さまでポリッシングして平坦化させ、その後1000℃以上でアニール処理を行う。そして、第2のシリコン窒化膜106および第2のシリコン酸化膜105をウェットエッチングにより剥離する（図4）。

【0021】次に、SOI層104上に、厚さ8nm程

度の犠牲酸化膜（図示せず）を塗布する。素子領域となるSOI層104に一導電型の不純物をイオン注入し、1000℃以上の熱処理を行い、SOI層104表面に一導電型のチャンネル拡散層を形成する。そして、犠牲酸化膜をウェットエッチングにより除去する。（図5）続いて、SOI層104上に、ゲート絶縁膜109となる厚さ2nm程度の例えばシリコン酸化膜を堆積する。さらに、多結晶シリコンを厚さ175nm程度、ゲート絶縁膜109上に堆積する。この多結晶シリコンを、光学的パターンニングとドライエッチングにより加工し、ゲート電極110を形成する。また、SOI層104上に露出しているシリコン酸化膜を、ゲート電極110をマスクとして、ウェットエッチングにより除去し、ゲート絶縁膜109を形成する（図6）。

【0022】次に、SOI層104表面のソース・ドレイン拡散層の形成を行う。SOI層104上に第3のシリコン酸化膜111を堆積する。そして、SOI層104のソース・ドレイン領域に、ウェル・チャンネル領域とは異なる導電型（逆導電型）の不純物をイオン注入する。約800度、10秒程度の熱処理を行い、ソース・ドレイン拡散層を形成する（図7）。

【0023】さらに、第3のシリコン酸化膜111上に、厚さ20nm程度の第4のシリコン酸化膜112および厚さ70nm程度の第3のシリコン窒化膜113を堆積する。そして、異方性エッチングにより、第3のシリコン窒化膜113、第4のシリコン酸化膜112および第3のシリコン酸化膜111をエッチングし、ゲート電極110の側面にサイドウォールを形成する（図8）。

【0024】そして、ゲート電極110およびサイドウォール（第3のシリコン酸化膜111、第4のシリコン酸化膜112および第3のシリコン窒化膜113）をマスクとして、再度SOI層104のソース・ドレイン領域に逆導電型の不純物をイオン注入し、1000℃以上のアニールを行う。こうして、LDD構造のソース・ドレイン拡散層が形成される。

【0025】続いて、サリサイド技術を用い、SOI層104上およびゲート電極110上にC₆₀サリサイド（図示せず）を形成する。さらに、SOIウェハ全面に、例えばシリコン酸化膜からなる層間絶縁膜114を堆積する。パターンニング、エッチング加工を行い、SOI層104のゲート領域およびソース・ドレイン領域上にコンタクトホールを形成する。コンタクトホール内側面にバリアメタル、そして、タングステンを埋め込む。平坦化技術を用い、層間絶縁膜114上に露出したタングステンおよびバリアメタルを削り取り、さらに層間絶縁膜114を平坦化して、コンタクト115を形成する。

【0026】そして、層間絶縁膜114上に例えばアルミニウムを堆積し、光学的パターンニング、エッチング

加工を行い、Al配線116を形成する（図1）。

【0027】図10は、従来および本実施の形態の半導体装置をシミュレーションしたグラフである。このシミュレーションに用いた半導体装置のSOI層は、3×14μmである。グラフの横軸にSOI層中心からSTIまでの距離（μm）、縦軸に圧縮応力値（MPa）を示している。図10からわかるように、SOI層中心部分（0μm）の圧縮応力値が、従来技術において80MPaであるのに対し、本実施の形態においては30MPaとなっている。本実施の形態の半導体装置は、圧縮応力値を低減させることがシミュレーション結果からわかる。

【0028】本実施の形態において、SOI層104よりも下層、且つ、SOI層104と同一パターンで、第1のシリコン窒化膜102を形成することにより、SOI層104に内在する応力を緩和することができる。圧縮応力値の低減により、駆動電流の低下を抑制することができる。

【0029】また、第1のシリコン窒化膜102とSOI層104の間に、薄い第1のシリコン酸化膜103を介することによって、SOI層104下部面での界面準位を抑制することができる。

【0030】尚、上記説明では、第1のシリコン窒化膜102とSOI層104の間に、薄い第1のシリコン酸化膜103を形成する場合について説明したが、この第1のシリコン酸化膜103を介さず、第1のシリコン酸化膜102上にSOI層104を形成してもよい。

【0031】その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0032】

【発明の効果】本実施の形態において、SOI層104よりも下層、且つ、SOI層104と同一パターンで、第1のシリコン窒化膜102を形成することにより、STI形成後のSOI層104に内在する応力を緩和することができる。圧縮応力値の低減により、駆動電流の低下を抑制することができる。

【0033】また、第1のシリコン窒化膜102とSOI層104の間に、薄い第1のシリコン酸化膜103を介することによって、SOI層下部面での界面準位を抑制することができる。

【図面の簡単な説明】

【図1】本実施の形態における半導体装置の断面図。

【図2】本実施の形態における半導体装置の製造工程図。

【図3】本実施の形態における半導体装置の製造工程図。

【図4】本実施の形態における半導体装置の製造工程図。

【図5】本実施の形態における半導体装置の製造工程図。

【図6】本実施の形態における半導体装置の製造工程図。

【図7】本実施の形態における半導体装置の製造工程図。

【図8】本実施の形態における半導体装置の製造工程図。

【図9】本実施の形態における半導体装置の製造工程図。

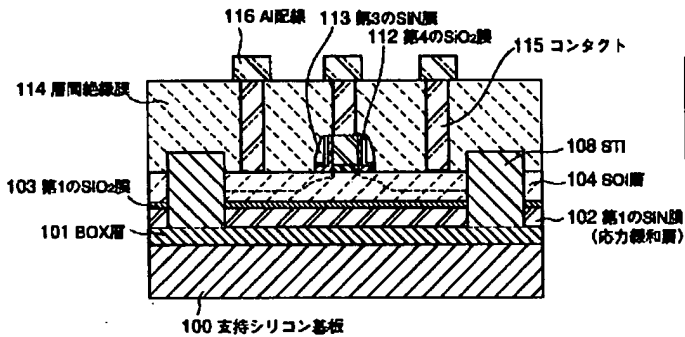
【図10】従来および本実施の形態における半導体装置をシミュレーションしたグラフ。

【図11】従来における半導体装置の断面図。

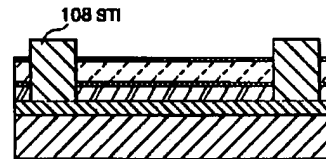
【符号の説明】

100, 200…支持シリコン基板
101, 201…BOX層
102…第1のシリコン窒化膜（応力緩和層）
103…第1のシリコン酸化膜
104, 202…SOI層
108, 203…STI
109, 205…ゲート絶縁膜
110, 206…ゲート電極
114, 208…層間絶縁膜
115, 209…コンタクト
116, 210…Al配線

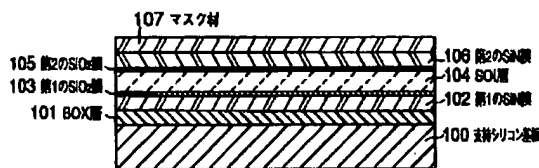
【図1】



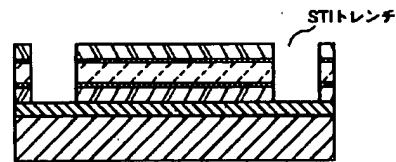
【図4】



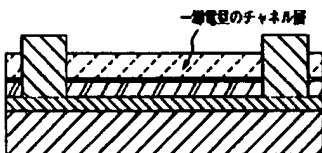
【図2】



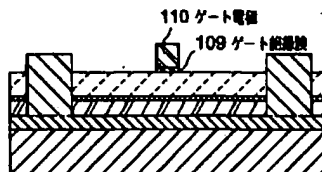
【図3】



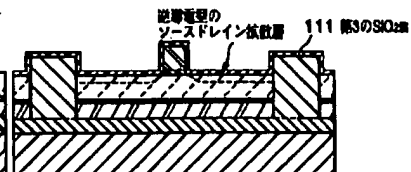
【図5】



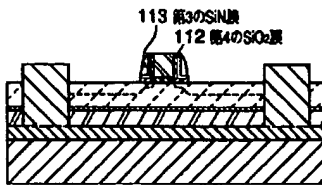
【図6】



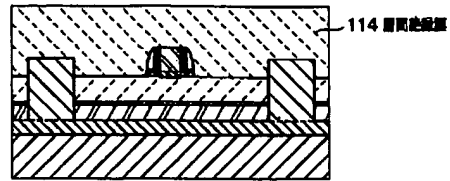
【図7】



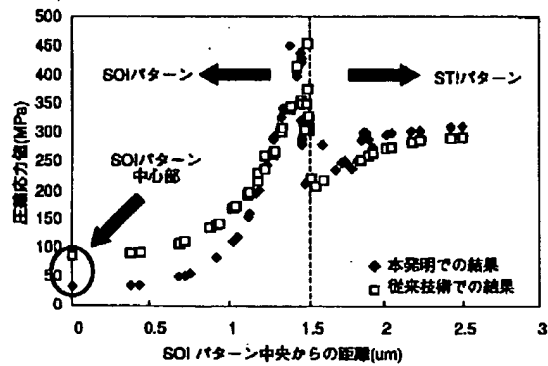
【図8】



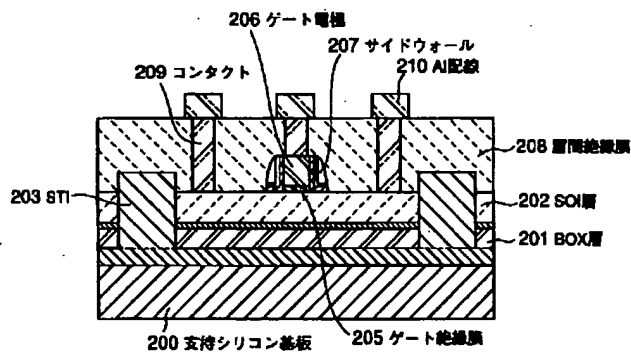
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 藤井 修

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F032 AA03 AA35 AA44 AA77 BB01
CA17 DA24 DA33 DA74
5F110 AA07 CC02 DD05 DD13 DD14
DD17 EE05 EE09 EE14 EE32
EE42 FF02 FF27 GG02 GG13
GG52 HJ13 HJ23 HL01 HL03
HL04 HL12 HM15 NN02 NN23
NN33 NN65 QQ11 QQ19